

(54) SILICON WAFER

(11) 1-208830 (A) (43) 22.8.1989 (19) JP
 (21) Appl. No. 63-32856 (22) 17.2.1988
 (71) FUJITSU LTD (72) TETSUO FUKUDA
 (51) Int. Cl. H01L21/02//H01L21/322,H01L29/167

BEST AVAILABLE COPY

PURPOSE: To reduce warpage of a wafer due to the heat treatment by adjusting oxygen concentration in the wafer to 30 ± 1 ppm and carbon concentration to 0.01 ppm or less.

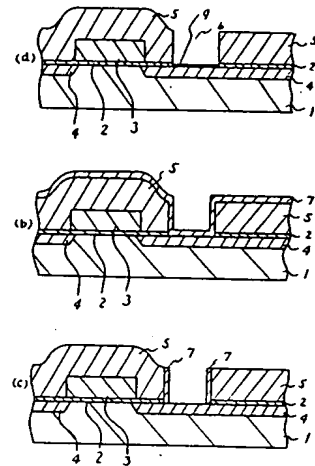
CONSTITUTION: When a crystal is grown in a silicon wafer, oxygen concentration is augmented by increasing load to a crucible and swelling the number of revolution of the crucible. Consequently, oxygen concentration is regulated to 30 ± 1 ppm as the conditions of proper load such as 60 kg and the adequate number of revolution such as 12 rpm. For lower carbon concentration in the silicon wafer, a reaction with oxygen slightly remaining in a furnace of a carbon material in the furnace and melting into a melt as CO or CO₂ gas are prevented. As a result, the surface of the carbon material in the furnace is coated with pyrolytic-boron-nitride, and a contact between the carbon material and oxygen is interrupted, thus adjusting carbon concentration in the wafer to 0.01 ppm or less. Accordingly, warpage due to heat treatment can be reduced.

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 1-208831 (A) (43) 22.8.1989 (19) JP
 (21) Appl. No. 63-34451 (22) 16.2.1988
 (71) NEC CORP (72) HIROYUKI HAMADA
 (51) Int. Cl. H01L21/28,H01L21/306,H01L21/90

PURPOSE: To prevent the extension of an opening section for a contact by forming a nitride film onto an insulating film on a semiconductor substrate and the opening section for the contact reaching an element region and conducting anisotropic etching so that the nitride film is left on the sidewall of the opening section.

CONSTITUTION: An insulating film 5 composed of an oxide is shaped onto a silicon substrate 1, to which a diffusion layer 4, a thermal oxide film 2 and an electrode 3 are formed, through a CVD method, and an opening section 6 for a contact is shaped to the insulating film 5 on the diffusion layer 4 through anisotropic etching. A nitride film 7 is formed onto the insulating film 5 and the opening section 6, anisotropic etching is performed so that the nitride film 7 is left only on the sidewall of the opening section 6, and a thin oxide film 9 shaped onto the surface of the silicon substrate 1 in the opening section 6 with the lapse of time is etched with HF and removed. Since the nitride film 7 is left on the sidewall section of the opening section 6 at that time, the opening section 6 is not extended, thus improving the degree of integration.



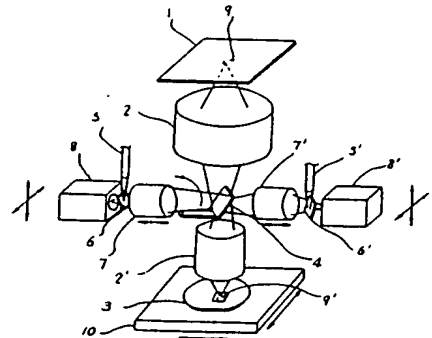
1: semiconductor substrate

(54) PROJECTION ALIGNER

(11) 1-208832 (A) (43) 22.8.1989 (19) JP
 (21) Appl. No. 63-32701 (22) 17.2.1988
 (71) HITACHI LTD (72) SHUJI SHODA
 (51) Int. Cl. H01L21/30,G03F9/00,H01L21/68

PURPOSE: To enable exposure-position alignment at an arbitrary position by installing a detachable reflecting plate at the position of a diaphragm for an imaging optical system and forming an image surface conjugate with a substrate and an image surface conjugate with a surface to be exposed by an alignment optical system.

CONSTITUTION: Light from optical fibers 5, 5' for lighting marks for alignment respectively illuminates the marks 9, 9' for alignment on a reticle 1 and a wafer 3 through half mirrors 6, 6', alignment optical systems 7, 7' and imaging lenses 2, 2' by a mirror 4 inserted to the position of a diaphragm for the imaging lenses 2, 2' on alignment. Light reflected from the marks 9, 9' for alignment passes through the imaging lenses 2, 2' and is reflected by the mirror 4, and is detected on detectors 8, 8' through the alignment optical systems 7, 7' and the half mirrors 6, 6'. Since the detectors 8, 8' are not constrained by the positions of the alignment optical systems 7, 7' and are moved in each conjugate image surface and light can be detected, the marks 9, 9' for alignment can be placed at the arbitrary positions of respective substrate 1, 3.



BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-208831

⑬ Int.Cl.

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)8月22日

H 01 L 21/28
21/306
21/90

L-7638-5F

D-7342-5F

D-6708-5F 審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-34451

⑰ 出 願 昭63(1988)2月16日

⑱ 発 明 者 濱 田 弘 幸 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体装置の製造方法

特許請求の範囲

半導体基板の一主面に素子領域を形成する工程と、前記半導体基板上に絶縁膜を形成する工程と、前記素子領域に達するコンタクト用開孔部を形成する工程と、前記絶縁膜及び開孔部上に窒化膜を形成する工程と、前記開孔部側壁に前記窒化膜が残るように異方性エッチングする工程とを含むことを特徴とする半導体装置の製造方法、

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の製造方法に関する。

〔従来の技術〕

近年、MOS ICの高集積化により、コンタクト用開孔部の大きさ、配線幅などが縮小されて

きている。

第2図(a)～(c)は従来の半導体装置の製造方法の一例を説明するための工程順に示した半導体チップの断面図である。

第2図(a)に示すように、拡散層4、熱酸化膜2が形成されているシリコン基板1上にCVD法により酸化物の絶縁膜5を形成し、写真蝕刻法により拡散層4上の絶縁膜5にコンタクト用開孔部6を形成する。

開孔部6を形成した後、次の電極形成工程に入るまでに時間が経過すると、開孔部6のシリコン基板表面に薄い酸化膜9が空気中での酸化反応により形成してしまう。薄い酸化膜9が形成された後に電極を形成すると、電極の接触抵抗が増大してしまうという問題を生ずる。

そこで、第2図(b)に示すように、金属で電極を形成する直前に薄い酸化膜9を除去するために、エッチングを行なう。この時、絶縁膜5もエッチングされ、開孔部6が広がる。

次に、第2図(c)に示すように、パターニン

グしてアルミニウムの配線8を形成する。

〔発明が解決しようとする課題〕

上述した従来の半導体装置の製造方法では、配線を形成する前に薄い酸化膜9除去のためのエッチングを行うので、そのとき同時に酸化絶縁膜5もエッチングされ、コンタクト用開孔部が広がってしまうので、開孔部の拡がりの余裕を取る必要があり、そのため集積度が上がらないという欠点があった。

本発明の目的は、コンタクト用開孔部の半導体基板表面に形成される薄い酸化膜を除去するためのエッチングをしてもコンタクト用開孔部が拡がらず、集積度の向上が可能な半導体装置の製造方法を提供することにある。

〔課題を解決するための手段〕

本発明の半導体装置の製造方法は、半導体基板の一主面に素子領域を形成する工程と、前記半導体基板上に絶縁膜を形成する工程と、前記素子領域に達するコンタクト用開孔部を形成する工程と、前記絶縁膜及び開孔部上に窒化膜を形成する

工程と、前記開孔部側壁に前記窒化膜が残るように異方性エッチングする工程とを含んで構成される。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図(a)～(e)は本発明の第1の実施例を説明するための工程順に示した半導体チップの断面図である。

第1図(a)に示すように、拡散層4、熱酸化膜2、電極3が形成されているシリコン基板1上に酸化物の絶縁膜5をCVD法で形成し、異方性エッチングにより拡散層4上の絶縁膜5にコンタクト用開孔部6を形成する。

次に、第1図(b)に示すように、絶縁膜5及び開孔部6上に窒化膜7を形成する。

次に、第1図(c)に示すように、開孔部6の側壁にのみ窒化膜7が残るように異方性エッチングを行なう。

次に、開孔部6のシリコン基板表面に時間の経

過と共に形成された薄い酸化膜9を、HFでエッチングして除去する。その際、開孔部6の側壁部に窒化膜7が残っている為、開孔部6は拡がらない。従って、設計時に、開孔部6の拡がり余裕をとる必要がなくなり、集積度を向上させることができる。

次に、第1図(d)に示すように、アルミニウムの配線8を液着して、半導体チップを形成する。

〔発明の効果〕

以上説明したように、本発明は、開孔部の側壁部に窒化膜が存在しているため、エッチングしてもコンタクト用開孔部が拡がらず、集積度の向上が可能となる効果がある。

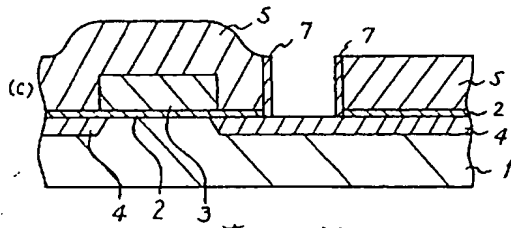
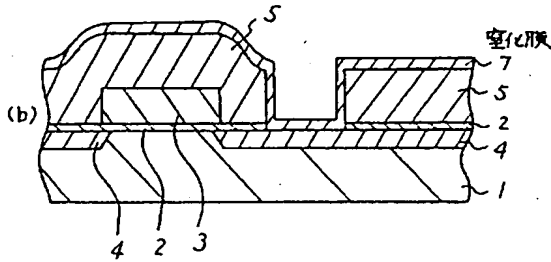
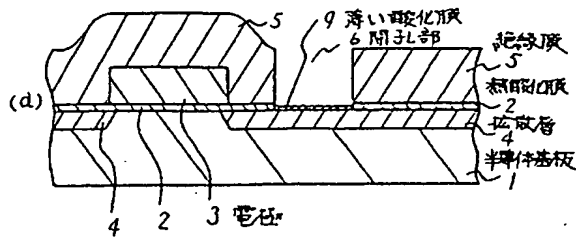
図面の簡単な説明

第1図(a)～(d)は本発明の一実施例を説明するための工程順に示した半導体チップの断面図、第2図(a)～(c)は従来の半導体装置の製造方法の一例を説明するための工程順に示した

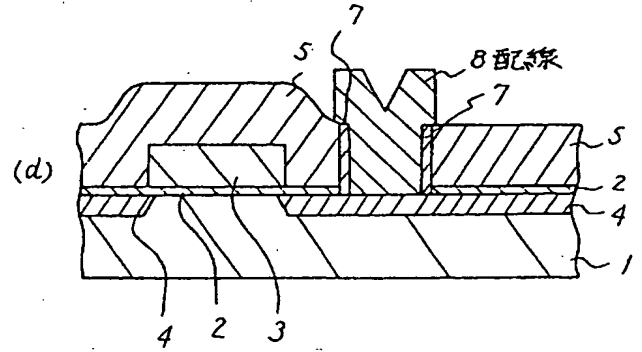
半導体チップの断面図である。

1…シリコン基板、2…熱酸化膜、3…電極、4…拡散層、5…絶縁膜、6…開孔部、7…窒化膜、8…配線、9…薄い酸化膜。

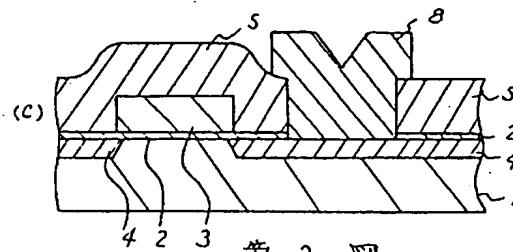
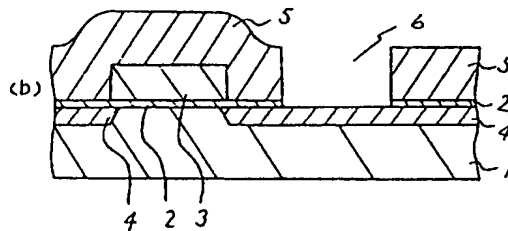
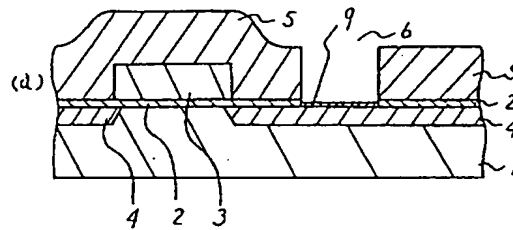
代理人 弁理士 内 原 晋



第 1 図



第 1 図



第 2 図